



(19)

(11) Publication number: 04150615 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 02276077

(51) Intl. H03K 19/0944 H03K 19/01  
Cl.:

(22) Application date: 15.10.90

(30) Priority:

(43) Date of application publication: 25.05.92

(84) Designated contracting states:

(71) Applicant: NEC CORP

(72) Inventor: WAKASUGI MAKOTO

(74) Representative:

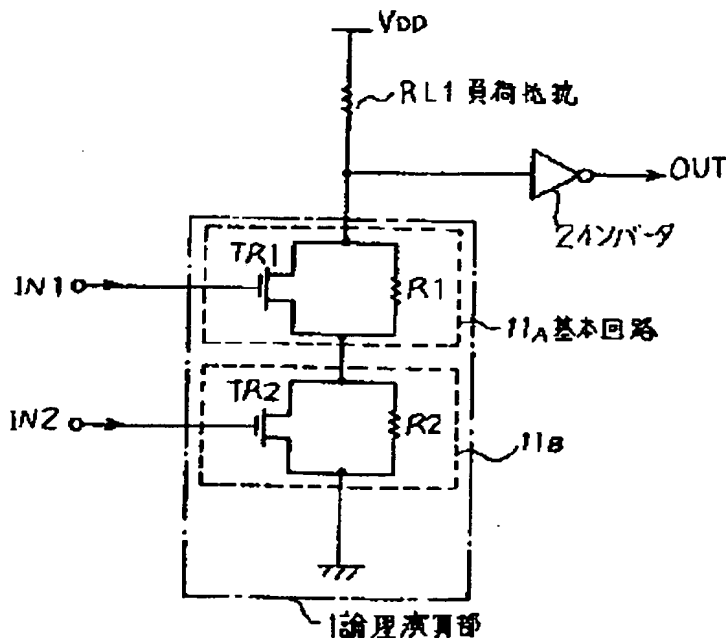
## (54) SEMICONDUCTOR LOGIC CIRCUIT

## (57) Abstract:

PURPOSE: To shorten the signal transmission time when an adder or a decoder, etc., is constituted through the combination of lots of stages of semiconductor logic circuits by selecting the logic level of an output signal to be smaller than a power supply voltage level.

CONSTITUTION: A logic arithmetic section 1 is constituted by connecting two basic circuits 11A (11B) consisting respectively of transistors (TRs) TR1 (TR2) whose gate receives input signal IN1 (IN2) and which are turned on/off, and of resistors R1 (R2) having a prescribed resistance connected to the source and the drain of the TR1 (TR2) in series between a logic output terminal (input terminal of an inverter 2) and the connecting point of a 1st power supply terminal to make a prescribed logic arithmetic operation. Thus, the logic level of an output signal OUT is made smaller than the level of a power supply voltage VDD. Then the signal transmission time is shortened.

COPYRIGHT: (C)1992,JPO&amp;Japio



## ⑫ 公開特許公報(A) 平4-150615

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月25日

H 03 K 19/0944  
19/018941-5 J  
8941-5 J

H 03 K 19/094

A

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 半導体論理回路

⑯ 特 願 平2-276077

⑰ 出 願 平2(1990)10月15日

⑱ 発 明 者 若 杉 誠 東京都港区芝5丁目7番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号  
⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

発明の名称

半導体論理回路

## 特許請求の範囲

1. ゲートに対応する入力信号を入力してオン・オフするトランジスタと、このトランジスタのソース・ドレイン間に接続され所定の抵抗値をもつ抵抗とを備えた複数の基本回路を含み論理出力端と第1の電源供給端子との間に接続されて所定の論理演算を行う論理演算部と、前記論理出力端と第2の電源供給端子との間に接続され所定の抵抗値をもつ負荷抵抗とを有することを特徴とする半導体論理回路。

2. ゲートに対応する入力信号を入力してオン・オフするトランジスタと、一端をこのトランジスタのソース・ドレインの一方と接続する所定の抵抗値をもつ抵抗とを備えた複数の基本回路を含み論理出力端と第1の電源供給端子との間に接続さ

れて所定の論理演算を行う論理演算部と、前記論理出力端と第2の電源供給端子との間に接続され所定の抵抗値をもつ負荷抵抗とを有することを特徴とする半導体論理回路。

## 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体論理回路に関し、特に加算器、デコーダ等に多用される半導体論理回路に関する。

〔従来の技術〕

従来、半導体論理回路は、MOS型のトランジスタのオン・オフ、つまり抵抗値を零または無限大に切換えることによって信号の導通、非導通を決定し、その切換えで信号伝達や所定の論理演算を行っていた。

第4図は従来の半導体論理回路の第1の例を示す回路図である。

この回路は、論理演算部1cがトランジスタTR7、TR8のみで形成された2入力NAND

回路を示し、入力信号  $IN1$ 、 $IN2$  が共に高レベルのときのみ出力信号  $OUT$  は接地電位レベルの低レベルとなり、入力信号  $IN1$ 、 $IN2$  のうちに1つでも低レベルのものとあると出力信号は電源電圧  $V_{DD}$  レベルの高レベルとなる。

第5図は従来の半導体論理回路の第2の例を示す回路図である。

この回路は、論理演算部  $1c$ 、 $1d$  がトランジスタ  $TR9 \sim TR11$  のみで形成された3入力  $NOR$  回路を示し、入力信号  $IN1 \sim IN3$  の全てが低レベルのときのみ出力信号  $OUT$  は高レベルとなり、入力信号  $IN1 \sim IN3$  のうち1つでも高レベルのものとあると出力信号  $OUT$  は低レベルとなる。

これらの基本的な  $NAND$  回路、 $NOR$  回路やインバータ等の半導体論理回路を組合せて加算器やデコーダ等を構成している。

第6図及び第7図はそれぞれ、基本的な半導体論理回路を組合せて構成した加算器の第1及び第2の例を示す回路図である。

これらの加算器は主にハーフアダプター4、フルアダプター5で構成され、これらハーフアダプター4、フルアダプター5は前述の基本的な半導体論理回路により形成されている。

第6図及び第7図に示された加算器を見ると分かるように、入力信号が入力されてから出力されるまでの信号伝達パスは、第7図に示されたワレスのツリー方式の加算器の方が短くなっているものの共にかなりの長さとなっている。

〔発明が解決しようとする課題〕

上述した従来の半導体論理回路は、所定の論理演算を行う論理演算部  $1c$ 、 $1d$  がトランジスタのみで形成され、出力信号  $OUT$  の低レベルは接地電位レベル、高レベルは電源電圧  $V_{DD}$  レベルとなっているので、出力信号  $OUT$  の振幅が電源電圧いっぱいになるため、これら半導体論理回路を多数段組合せて加算器やデコーダ等を構成した場合、信号伝達時間が長くなるという欠点がある。

本発明の目的は、信号伝達時間を短縮すること

ができる半導体論理回路を提供することにある。

〔課題を解決するための手段〕

第1の発明の半導体論理回路は、ゲートに対応する入力信号を入力してオン・オフするトランジスタと、このトランジスタのソース・ドレイン間に接続され所定の抵抗値をもつ抵抗とを備えた複数の基本回路を含み論理出力端と第1の電源供給端子との間に接続されて所定の論理演算を行う論理演算部と、前記論理出力端と第2の電源供給端子との間に接続され所定の抵抗値をもつ負荷抵抗とを有している。

第2の発明の半導体論理回路は、ゲートに対応する入力信号を入力してオン・オフするトランジスタと、一端をこのトランジスタのソース・ドレインの一方と接続する所定の抵抗値をもつ抵抗とを備えた複数の基本回路を含み論理出力端と第1の電源供給端子との間に接続されて所定の論理演算を行う論理演算部と、前記論理出力端と第2の電源供給端子との間に接続され所定の抵抗値をもつ負荷抵抗とを有している。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例を示す回路図である。

この実施例は、ゲートに入力信号  $IN1$ 、 $IN2$  をそれぞれ対応して入力しオン・オフするトランジスタ  $TR1$ 、 $TR2$  とこれらトランジスタ  $TR1$ 、 $TR2$  のソース・ドレイン間にそれぞれ対応して接続され所定の抵抗値をもつ抵抗  $R1$ 、 $R2$  とをそれぞれ対応して備えた2つの基本回路  $11a$ 、 $11b$  を論理出力端（インバータ2の入力端）と第1の電源供給端子の接地端子との間に直列接続し所定の論理演算を行う論理演算部1と、電源電圧  $V_{DD}$  が供給される第2の電源供給端子と論理出力端との間に接続され所定の抵抗値をもつ負荷抵抗  $RL1$  とを有する構成となっており、2入力  $NAND$  回路を示す。

この実施例の論理出力端（インバータ2の入力端）における低レベルは  $0V$ 、高レベル  $V_{H1}$ 、

$V_{H2}$ は負荷抵抗 $R_{L1}$ の抵抗値を $R_L$ 、抵抗 $R_1$ 、 $R_2$ の抵抗値を $R$ とすると、

$$V_{H1} = V_{DD} \cdot R / (R + R_L)$$

$$V_{H2} = V_{DD} \cdot 2R / (2R + R_L)$$

となるので、この半導体論理回路の出力信号を入力とするインバータ2のしきい値電圧を高レベル $V_{H1}$ と $OV$ の間のレベルとすることにより、従来のような論理振幅を電源電圧 $V_{DD}$ いっぱいには振らせなくて済み、信号伝達時間を短かくすることができる。

第2図は本発明の第2の実施例を示す回路図である。

この実施例は、第1図に示された第1の実施例に、並列型の基本回路11cを更に直列に付加したものである。

この実施例を3入力NAND回路として使用する場合は、抵抗 $R_1 \sim R_3$ の値を $R$ とすると、インバータ2Aのしきい値電圧を、 $OV$ と

$V_{H1} = V_{DD} \cdot R / (R + R_L)$ との間に設定すればよい。

$R_6$ )との直列接続で形成し、これら基本回路12a~12cを並列接続したものである。

この実施例においても、第1、第2の実施例と同様に、信号伝達時間を短かくすることができ、また、次段のインバータ2Bのしきい値電圧の設定のしかたにより、NAND回路、多数決回路、NOR回路の何れでも形成することができる。

(発明の効果)

以上説明したように本発明は、論理演算部をトランジスタと抵抗との直列接続又は並列接続により形成された複数の基本回路により構成することにより、出力信号の論理振幅を電源電圧幅より狭くすることができるので信号伝達時間を短縮することができる効果があるだけでなく、次段回路のしきい値電圧の設定レベルを変えるだけで各種の論理回路を得ることができるという効果もある。

#### 図面の簡単な説明

第1図~第3図はそれぞれ本発明の第1~第3の実施例を示す回路図、第4図及び第5図はそれ

また、この実施例においては、インバータ2Aのしきい値電圧を $V_{H1}$ と

$$V_{H2} = V_{DD} \cdot 2R / (2R + R_L)$$

との間に設定すれば、入力信号 $IN1 \sim IN3$ のうちの2つ以上が高レベルのとき出力信号 $OUT$ が低レベルとなる、いわゆる多数決回路を形成することができ、また、インバータ2Aのしきい値電圧を $V_{H2}$ と

$$V_{H3} = V_{DD} \cdot 3R / (3R + R_L)$$

との間に設定すれば、入力信号 $IN1 \sim IN3$ の全てが低レベルのときのみ出力信号 $OUT$ が高レベルとなる、いわゆるNOR回路を形成することができる。

このように、インバータ2Aのしきい値電圧を変えるだけでNAND回路、多数決回路、NOR回路の何れでも形成することができる。

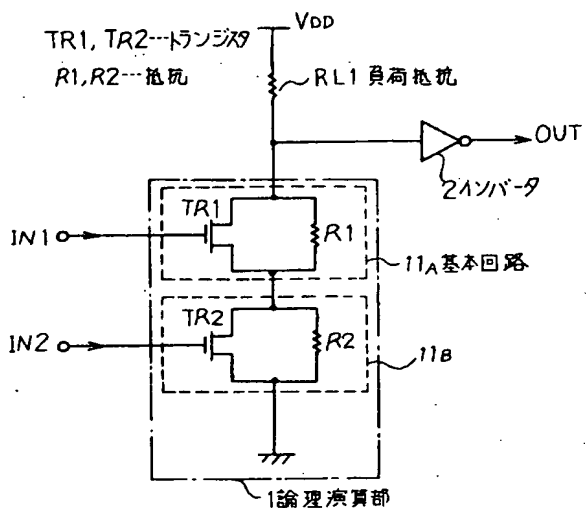
第3図は本発明の第3の実施例を示す回路図である。

この実施例は、基本回路12a~12cをトランジスタ( $TR4 \sim TR6$ )と抵抗( $R4 \sim$

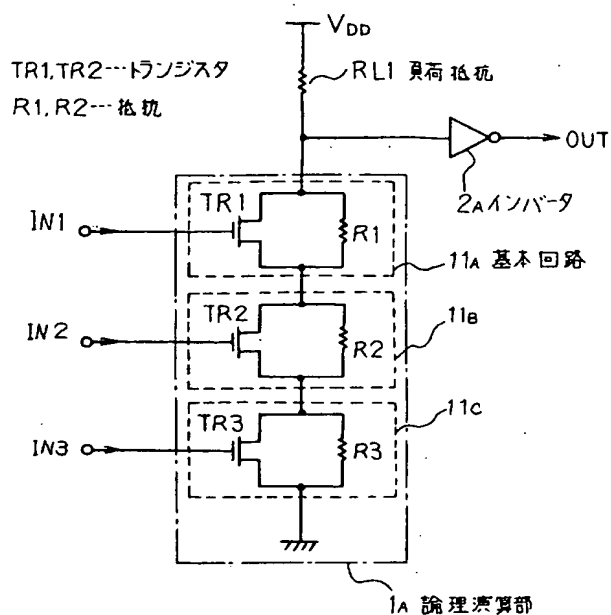
それぞれ従来の半導体論理回路の第1及び第2の例を示す回路図、第6図及び第7図は従来の半導体論理回路を使用して形成した加算器の第1及び第2の例を示す回路図である。

1、1A~1D…論理演算部、2、2A、2B…インバータ、3、3A…負荷部、4…ハーフアダプター、5…フルアダプター、11A~11C、12A~12C…基本回路、 $R_1 \sim R_6$ …抵抗、 $R_{L1}$ 、 $R_{L2}$ …負荷抵抗、 $TR1 \sim TR11$ …トランジスタ。

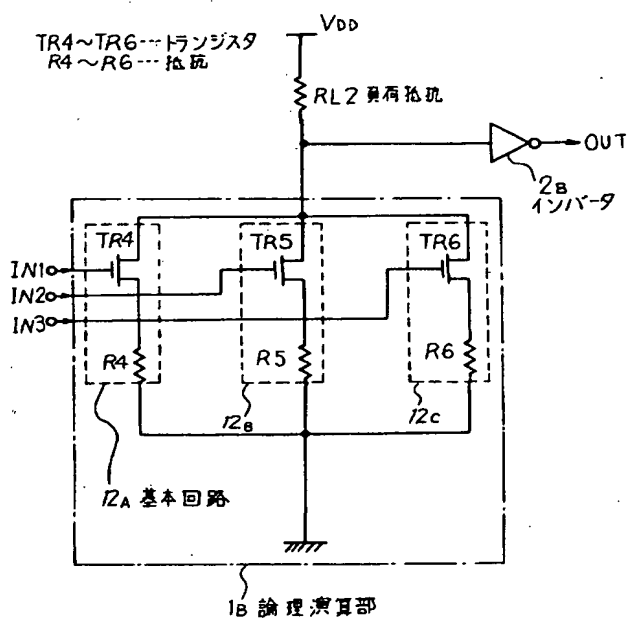
代理人 弁理士 内 原 晋



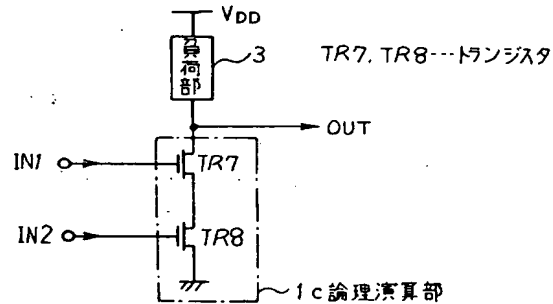
第 1 図



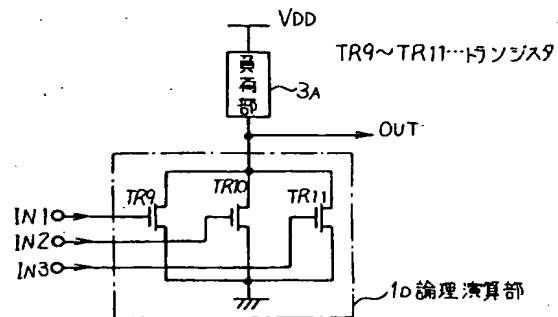
第 2 図



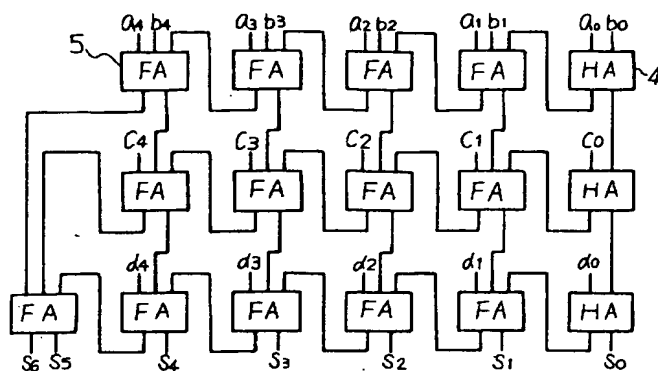
第 3 図



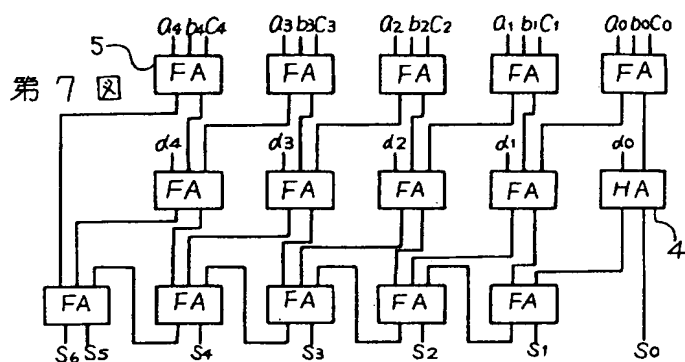
第 4 図



第 5 図



4---ハーフアダダ  
5---フルアダダ  
第 6 図



第 7 図